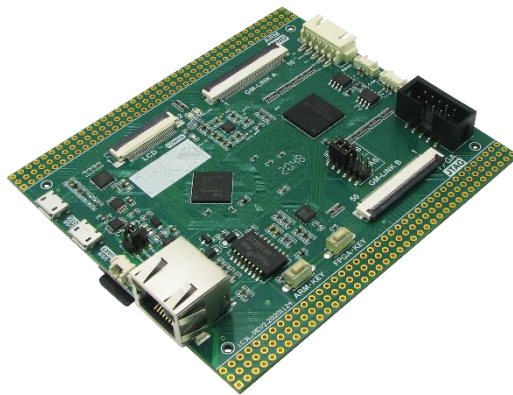


iCore3L 双核心工控板



硬件手册

银杏公司出品
第一版 2021-02-23

1. iCore3L 双核心工控板简介
2. 硬件资源
3. ARM 核心
4. FPGA 核心
5. 双核心连接模式
6. 电源管理
7. 时钟管理
8. 排针式扩展接口
9. USB-OTG 接口
10. USB 转 UART 功能
11. 以太网接口
12. 三色 LED 指示灯
13. 独立按键
14. RTC 实时时钟
15. SDRAM 存储器
16. SDIO 接口 TF 卡
17. SWD 仿真接口
18. FPGA 之 AS 配置模式

19. FPGA 之 PS 配置模式

20. FPGA 之 JTAG 接口

21. ARM 之 RS485 接口

22. ARM 之 CAN 接口



iCore3L 双核心工控板简介

iCore3L 双核心工控板是银杏公司推出的国产化 iCore 系列双核心板；由于其独特的 ARM + FPGA 的“万金油”式双核心结构，使得其能用于诸多测试测量及控制领域。

“ARM”核心采用 Cortex-M4 内核的 GD32F450IGH6，其不但具有 200MHz 主频、FPU 浮点单元、DSP 指令集等高性能特性，而且具有多外设、多接口及多 I/O 特性。iCore3L 用于产品核心时，“ARM”核心作为 CPU 角色（亦可以说成“串行”执行角色），负责功能实现、事件处理及接口等功能。

“FPGA”核心采用 SL2S-25E-8U213C，内部集成 8MB SDRAM，具有功耗低、性能强、资源多、使用方便等优点。其采用 uBGA 形式 213 脚封装；密集式封装形式使得在芯片面积较小的情况下能为用户提供较多的 I/O 引脚。iCore3L 用于产品核心时，“FPGA”核心作为“逻辑器件”角色（亦可以说成“并行”执行角色），负责并行处理、实时性处理及逻辑管理等功能。

“ARM”和“FPGA”两个核心采用 16 位并行总线通信。并行总线的高带宽性和易用性保证了两个核心数据交换的便利性及实时性，使得两个核心“拧成一股绳”，以应对越来越高的测试测量及自动控制类产品功能、性能的需求。iCore3L 异构双核心工控板原理框图如图 1 所示。

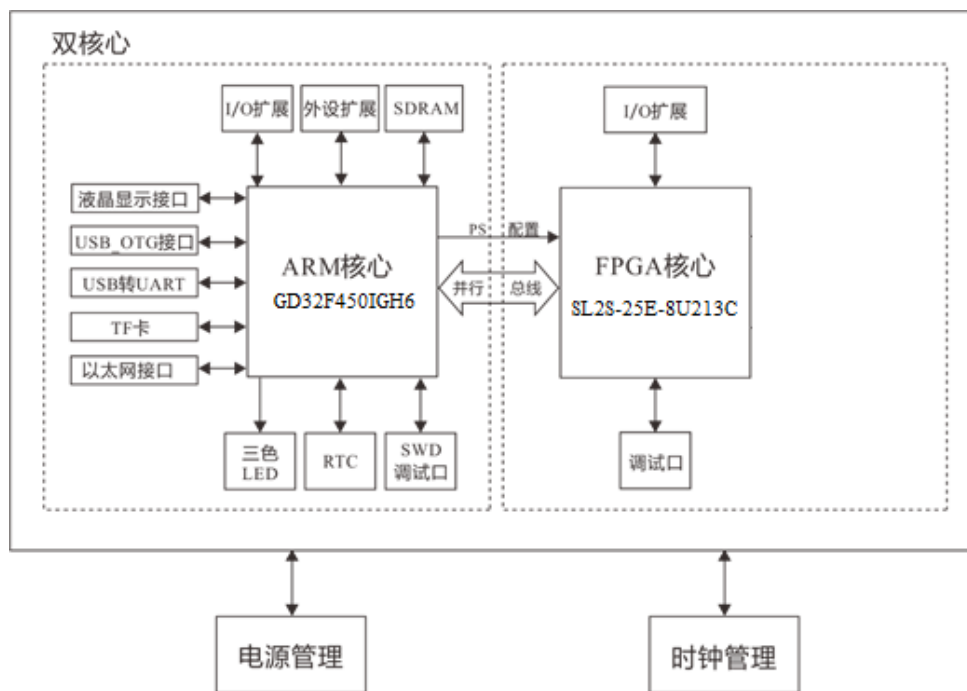


图 1 iCore3L 双核心工控板原理框图

iCore3L 的特性如下：

ARM 核心 : 采用主频 200M 的高性能 GD32F450IGH6

FPGA 核心 : 采用国产化 FPGA SL2S-25E-8U213C，集成 8MB SDRAM

ARM I/O 扩展 : 34 个高性能 I/O 扩展

ARM 外设扩展 : 与 I/O 复用，包括 ARM 内置的 I2C / UART / TIMER / ADC 等功能

ARM 接口扩展 : 包括 100M 以太网、高速 USB-OTG 接口及用于调试的 USB 转 UART 功能，RS485 串行通信接口、CAN 通信接口

液晶显示接口 : 支持 4.3 寸、7 寸液晶屏，支持 VGA

ARM 存储扩展 : 包括 8MB SDRAM、TF 卡接口，USB-OTG 接口（可接 U 盘）

ARM 调试口 : 6P FPC 调试接口，标配转接器以适应通用的 20p 接口

FPGA I/O 扩展 : 多达 128 个高性能 I/O 扩展

FPGA 调试口 : FPGA JTAG 端口

并行总线 : 用于 ARM 与 FPGA 连接的 16 位双向数据、地址总线

PS 配置

：基于 ARM 的 FPGA 重配置功能，可以完成 FPGA 固件远程更新

2

硬件资源及特性

序号	类	特性	描述	序号	类	特性	描述
1	ARM 特性	型号	GD32F450IGH6	16	ARM 特性	并行总线	16 位 FSMC 总线
2		内核	ARM Cortex-M4	17		DMA	16-stream DMA
3		主频	200MHz	18		随机数发生器	有
4		FLASH	1M Bytes	19		硬件 CRC 单元	有
5		RAM	256K Bytes	20		唯一 ID	有
6		封装	BGA176	21		FPU 浮点单元	有
7		ADC	3x12bit 24 通道	22		RTC 实时时钟	有
8		DAC	2x12bit	23		DSP 指令集	有
9		定时器	14 个	24		SDIO 接口	有
10		I2C	3 个	25		调试口	6 PIN SWD 接口
11		SPI	6 个	26	FPGA 特性	型号	SL2S-25E-U213C
12		CAN	2 个	27		系列	Sealion 2000
13		UART	8 个	28		封装	uBGA213
14		USB-OTG	1 个	29		LEs	25K
15		外扩 IO	34 个	30		M9K 块	96 个

序号	类	特性	描述	序号	类	特性	描述
31	FPGA 特性	RAM	864Kbit	49	时钟特性	USB 时钟	有源 24M
32		PLL+DLL	2+2 个	50		ARM 时钟	有源 24M
33		时钟网络	16	51		FPGA 时钟	有源 24M / 25M
34		集成 SDRAM	8 Mbytes	52		USB-UART 时钟	有源 12M
35		配置芯片	M25Q16	53		RTC 时钟	无源 32.768K
36		JTAG	有	54		以太网时钟	有源 25M
37		PS 配置	由 ARM 完成	55	ARM 与 FPGA 连接特性	总线类型	并行 FSMC
38		I/O 个数	164, 外扩 128	56		数据线	16 位
39		I/O 电平	3.3V	57		独立地址线	8 根
40	电源管理特性	输入电压	5V	58		复用地址线	16 根
41		输入电流	150mA~500mA	59		独立映射空间	256*16 位
42		板载输出	3.3V / 2.5V / 1.2V	60		复用映射空间	16M*16 位
43		3.3V 电流	最大 3A	61		片选线	1 根片选线
44		2.5V 电流	最大 300mA	62		读写控制	WR / RD 信号
45		1.2V 电流	最大 600mA	63		等待信号	nWAIT 信号
46		过流过压保护	1.1A	64		辅助时钟	FSMC_CLK 信号
47		电流电压监控	有	65		实测读速度	待测
48		供电端口	排针或 USB 接口	66		实测写速度	待测

序号	类	特性	描述	序号	类	特性	描述
67	USB 接口特性	接口连接器类型	贴片 MicroUSB	85	以太网接口特性	接口类型	100M 全双工
68		物理层接口类型	ULPI 接口	86		芯片方案	IP101GRI
69		本接口对内供电	可跳线选择	87		内部接口	RMII
70		本接口对外供电	MOS 开关控制	88		协议栈	硬件协议栈
71		对外最大电流	500mA	89		TCP 传输	支持
72		高速 USB 物理层	外置 USB3300	90		UDP 传输	支持
73		USB 时钟	有源 24M	91		HTTP 网页功能	支持
74		USB CDC	支持	92		DHCP 功能	支持
75		CDC 实测速度	逼近 40MByte/秒	93		DNS 解析	支持
76		USB HID 模式	支持	94		ARM 固件更新	支持, 通过 HTTP
77		USB 虚拟串口	支持	95		FPGA 逻辑更新	支持, 通过 HTTP
78		USB 虚拟 U 盘	支持	96		Modbus-TCP	支持
79		USB Mass Storage	支持	97		实测最大速度	6MByte/秒
80		读 U 盘功能	支持	98	USB-UART	接口连接器类型	贴片 MicroUSB
81		读 U 盘实测速度	——	99		主功能芯片	CH340
82		ARM 固件更新	支持, 通过 U 盘	100		波特率	50bps~2Mbps
83		FPGA 逻辑更新	支持, 通过 U 盘	101		ARM 连接方式	USART0
84				102		本接口对内供电	可跳线选择

3

ARM 核心

iCore3L 核心板中，ARM 核心占了超过了一半的空间。经过编程开发后，ARM 微处理器负责“主控”的角色，而且兼顾了接口处理（如以太网接口、USB 接口、UART 接口、液晶显示接口等），与外界交互信息。

ARM 核心相关的资源主要包含了 ARM 处理器（GD32F450IGH6）、ARM 引脚扩展、接口（以太网、USB-OTG、液晶显示、RS485、CAN）、存储设备（TF 卡、8M SDRAM）及调试接口及指示（SWD 调试口、USB 转 UART 终端、三色 LED）等。

ARM 处理器（176 脚 GD32F450IGH6）是国产化 Cortex-M4 内核的微处理器，主频为 200MHz。其不但性能强劲，而且含有众多实用资源和丰富的外设。

ARM 外扩引脚请参考《iCore3L 原理图》和《iCore3L 扩展引脚示意图》两个文档。

4

FPGA 核心

iCore3L 核心板中，FPGA 核心占了很大一部分的空间。iCore3L 用于产品主控板时，“FPGA”核心作为“逻辑器件”角色（亦可以说成“并行”执行角色），负责并行处理、实时性处理及逻辑管理等功能。

FPGA 核心相关的资源主要包含了 FPGA 芯片（SL2S-25E-8U213C）、FPGA 引脚扩展、配置选择、配置芯片、JTAG 调试口和三色 LED 等。

“FPGA”核心采用 Sealion 2000 系列产品 SL2S-25E-8U213C，具有功耗低、性能强、资源多、使用方便等优点。其采用 BGA 形式 213 脚封装；内部集成 8Mbyte SDRAM。FPGA 外扩引脚请参考《iCore3L 原理图》和《iCore3L 扩展引脚示意图》两个文档。

5

双核心连接模式

ICore3L 采用异构双核心连接模式，ARM 和 FPGA 两核心通过 16 位并行总线通信。并行总线的高带宽性、易用性保证了两个核心数据交换的便利性及实时性，使得两个核心“拧成一股绳”，以应对越来越高的测试测量及自动控制类产品功能、性能的需求。在 FPGA 的 PS 配置模式中，ARM 控制其配置过程，实现了 FPGA 的在线可编程。ARM 和 FPGA 双核心连接示意图如图 2 所示。

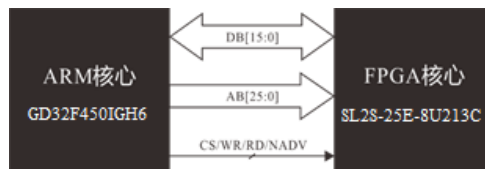


图 2 双核心连接模式结构示意图

6

电源管理

iCore3L 系统结构虽小，但对电源的数量、质量要求较高。iCore3L 采用 USB OTG、USB UART 和 EXT IN 三种供电方式，供电输入和跳线帽跳线方式的对应关系如图 3 所示，跳线帽在最上面时为 USB OTG 供电，在中间时为 USB UART 供电，在最下面时为 EXT IN 供电，其供电电压为 5V，供电电流约为 300mA。

另外，iCore3L 从四个方面为系统供电，同时提供电源监控和基准，如图 4 所示。系统供电的四个方面分别为：

1、数字电源：数字电源输出为 3.3V，采用高效率的 BUCK 电路，为 ARM / FPGA / SDRAM 等供电。BUCK 芯片输出能力为 1.0A，远远大于系统所需电流。

2、FPGA 内核电源：FPGA 内核采用 1.2V 供电，同样采用高效率的 BUCK 电路。

3、FPGA PLL 电源：FPGA PLL 内部含有大量模拟电路，为了保证 PLL 的性能，根据芯片需求，此电源部分输出为 3.3V。

4、ARM 模拟电压基准：GD32F450IGH6 提供独立的模拟电压基准，为片上 ADC/DAC 提供基准电压，这里我们采用 TL431 产生 2.5V 基准，供 ADC/DAC 使用。



图 3 供电输入口和跳线帽跳线方式的对应关系图

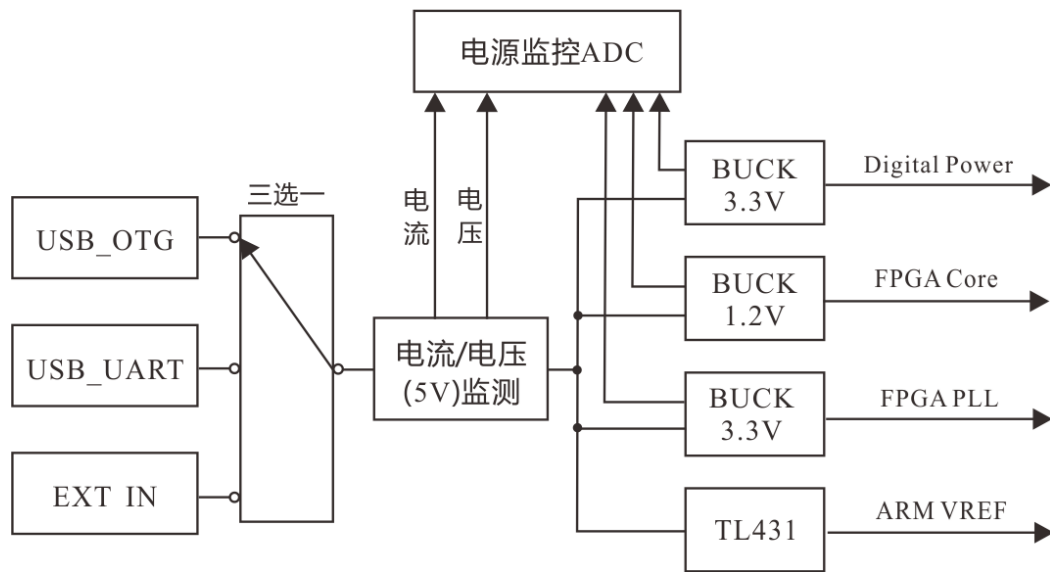


图 4 系统供电示意图



时钟管理

iCore3L 双核心板包含 25M 和 24M 两个独立的有源晶振时钟，和一个 32.768K 的无源晶体。其中 25M 有源时钟分别供给 100M 以太网和 FPGA，还可以对外输出 25M 时钟；24M 有源时钟分别供给 FPGA、ARM 和高速 USB，同时还可以对外输出 24M 时钟；32.768K 无源晶体则为系统提供实时时钟，有源晶振和无源晶体与 ARM / FPGA 时钟管理示意图如图 5 所示。

有源晶振保证了 ARM 与 FPGA 运行的可靠性与时钟的抗干扰性，而 FPGA 输入 24M 和 25M 两个有源晶振时钟，可以倍频出更多不同频率的时钟，这样更能实现复杂时序对时钟的要求。

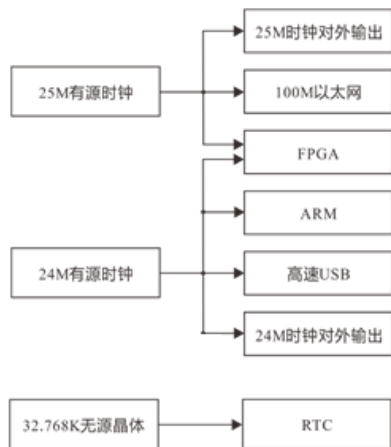


图 5 时钟管理示意图

8

排针式扩展接口

iCore3L 异构双核心工控板的引脚扩展特别灵活，采用排针式扩展接口引在板子的两端。其中 ARM I/O 扩展口为 34 个，FPGA I/O 扩展口高达 128 个。其中 ARM I/O 扩展口中包含 UART、SPI 等接口，FPGA I/O 扩展口包含专用输入和双向 I/O 口等，为 I/O 口的使用和功能扩展提供了极大的方便。

iCore3L 扩展引脚示意图如图 6 所示，图中绿色方格表示 GND 引脚；红色方格表示电源引脚；黄色方格表示 ARM 扩展引脚；紫色表示 FPGA 扩展引脚；蓝色表示其他引脚，包含时钟引脚和基准引脚。具体外扩（排针、PFC 连接器）引脚请参考《iCore3L 原理图》。

iCore3L扩展引脚注释图

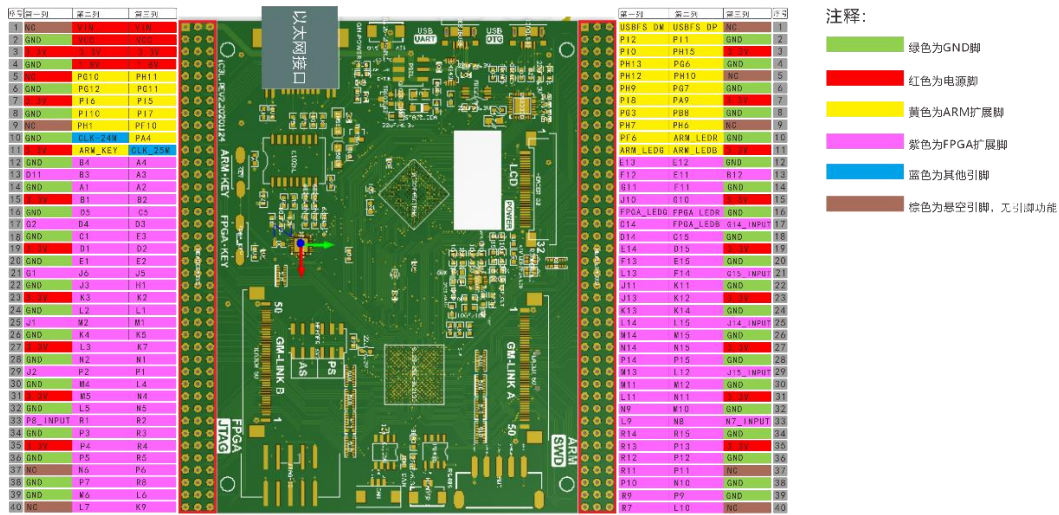


图 6 iCore3L 扩展引脚示意图

9

USB_OTG 接口

iCore3L 的 USB 有三种工作模式：DEVICE 模式、HOST 模式和 OTG 模式。当 USB 作为 OTG 模式使用时其结构如图 7 所示，USB3300 为物理协议层，通过 8 个数据双向引脚，三个控制引脚 STP、DIR 和 NXT，和一个时钟引脚 CLKOUT，与 STM32 芯片中的 USB MAC 层相连，从而实现了 STM32 与 USB 座的连接。GD32 的 USB_OTG 接口有两种工作模式：①当用作从机模式时，MOS 关断；② 当用作主机模式时（如 U 盘读取），MOS 开关打开，通过 USB 座对外供电。另外，也可将 USB 控制线通过电阻进行跳线选择，则可去掉 USB3300 芯片，实现核心板的完全国产化方案。



图 7 USB_OTG 接口结构框图

10

USB 转 UART 功能

iCore3L 双核心工控板通过芯片 CH340E 作为物理协议层，实现了 USB 转 UART 功能，为系统调试提供了极大的方便。其连接示意图如图 8 所示，芯片 CH340E 通过一对串口线，与 GD32 芯片中 USART0 口相连，实现 USB 接口与 USART0 口的转换。

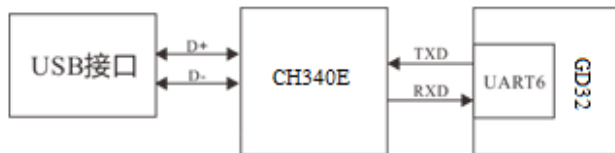


图 8 USB 转 UART 连接示意图

11

以太网接口

iCore3L 双核心工控板的网络模块采用 IP101GRI 芯片作为物理层，来实现 GD32 对以太网的控制。IP101GRI 芯片通过 RMII 口与 GD32 相连，通过信号收发线与网络变压器连接，其连接示意图如图 9 所示。

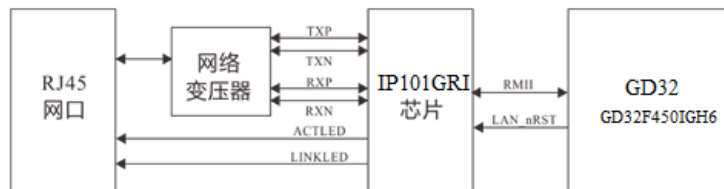


图 9 以太网接口示意图

12

三色 LED 指示灯

iCore3L 异构双核心工控板的两个 LED 灯共有红、绿、蓝三种颜色，分别由 ARM 和 FPGA 控制。三色 LED 及其电路连接图如 10 图所示。在编程调试过程中可用指示灯显示其状态，三色合一的设计，减少了 LED 灯占用空间，也使状态指示更加清晰明了。

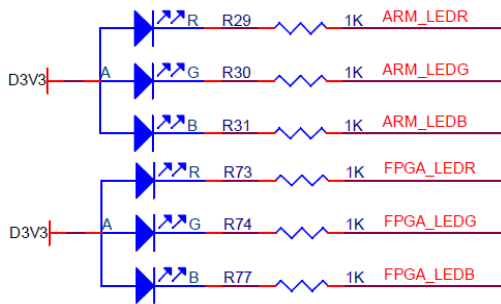


图 10 三色 LED 及其连接示意图

13

独立按键

iCore3L 异构双核心工控板的两个独立按键分别由 ARM 和 FPGA 控制，按键及其电路连接图如图 11 所示。ARM_KEY 或 FPGA_KEY 低电平时表示按键按下。

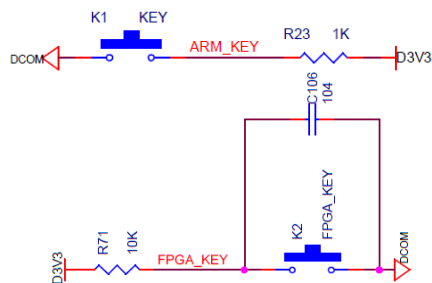


图 11 按键及其连接示意图



14

RTC 实时时钟

iCore3L 异构双核心工控板采用 32.768K 无源晶体为系统提供 RTC 实时时钟，其电路连接图如图 12 所示。32.768KHz 外部无源晶体连接 OSC32_IN 和 OSC32_OUT 两引脚之间，为获得稳定的频率必须外加两个电容构成外部振荡电路。

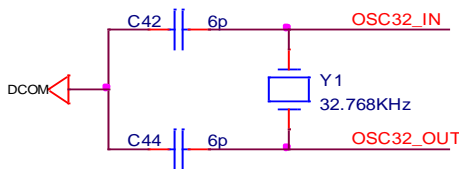


图 12 外部振荡电路

15

SDRAM 存储器

iCore3L 异构双核心工控板载有一片 SDRAM，其型号为 M12L64164A，主要用作显示缓存，将 SDRAM 作为它的主存储器。SDRAM 与 ARM 的连接示意图如图 13 所示。

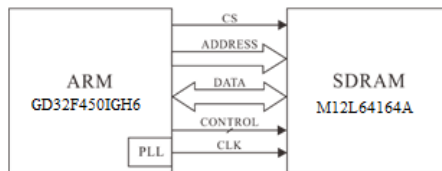


图 13 SDRAM 与 ARM 连接示意图

SDRAM 的具体指标如下表所示。

型号	M12L64164A
容量	1M X 4BANKS X 16bit = 8M Byte
BANK	4BANKS
数据宽度	16bit
封装	TSOPII 54L
速度	166MHz
电压范围	3.0~3.6V

16

SDIO 接口 TF 卡

iCore3L 异构双核心工控板上的 TF 卡，用于数据信息的存储，其通过命令线 SDIO_CMD、时钟线 SDIO_CLK 和数据总线 D[3:0]，与 STM32 芯片的 SDIO 引脚相连，其连接示意图如图 14 所示。

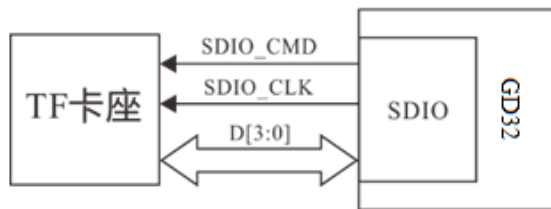


图 14 SDIO 接口 TF 卡连接示意图

17

SWD 仿真功能

由于在高速模式下 SWD 下载比 JTAG 下载更加稳定,发生数据丢失的机率也更小,所以 iCore3L 工控板的 ARM 下载口采用 SWD。SWD 下载口又名串行总线调试接口,适用于多种仿真器。其电路连接图如图 15 所示,在此电路中它需要 3 根线与 ARM 相连,分别为数据线 SWDIO、时钟线 SWCLK 和复位线 ARM_RST。

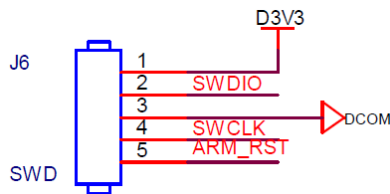


图 15 SWD 连接电路图

18

FPGA 之 AS 配置模式

iCore3L 异构双核心工控板上的 FPGA 有两种配置模式，分别为主动配置模式（AS）和被动配置模式（PS）。所谓 AS 配置模式，即 FPGA 器件每次上电时作为控制器，由 FPGA 器件引导配置操作过程，它控制着外部存储器和初始化过程，从配置器件 EPCS16 主动发出读取数据信号，从而把 EPCS16 的数据读入 FPGA 中，实现对 FPGA 的编程。配置数据通过 DATA0 引脚送入 FPGA，配置数据被同步在 DCLK 输入上，1 个时钟周期传送 1 位数据。AS 配置模式时跳线帽连接图如图 16 所示，配置连接图如图 17 所示。



图 16 跳线帽选择 AS 配置模式连接图

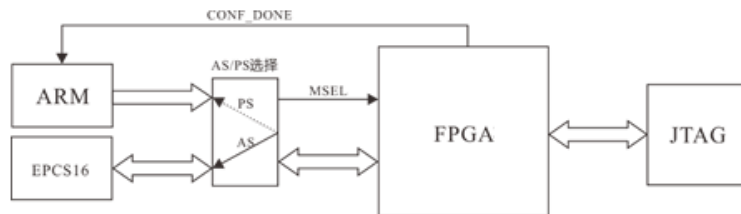


图 17 FPGA 配置模式示意图

注释:

- ① 任何情况下 JTAG 均有效;
- ② 选择 AS 模式时, FPGA 上电通过 EPCS16 配置;
- ③ 选择 PS 模式时, FPGA 通过 ARM 芯片配置;
- ④ 若要烧写 BIN 文件到 EPCS16 里, 需要选择 AS 模式后, 从 JTAG 口烧入文件。

19

FPGA 之 PS 配置模式

所谓 PS 配置模式，则由 ARM 控制器控制配置过程。ARM 作为控制器件，通过普通 IO 实现 PS 配置时序，实现对 FPGA 的编程。该模式可以实现对 FPGA 在线可编程，而且编程后 FPGA 立即工作，无需电源复位。PS 配置模式时跳线帽连接图如图 18 所示，配置连接图如图 19 所示。

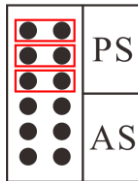


图 18 跳线帽选择 PS 配置模式连接图

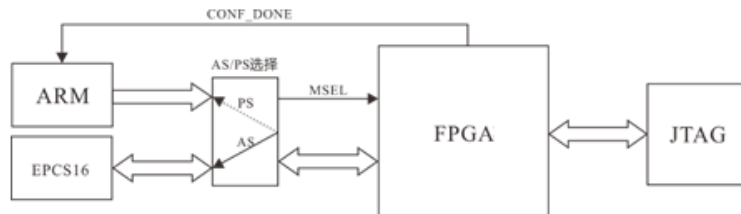


图 19 FPGA 配置模式示意图

注释:

- ① 任何情况下 JTAG 均有效;
- ② 选择 AS 模式时, FPGA 上电通过 EPCS16 配置;
- ③ 选择 PS 模式时, FPGA 通过 ARM 芯片配置;
- ④ 若要烧写 BIN 文件到 EPCS16 里, 需要选择 AS 模式后, 从 JTAG 口烧入文件。

20

FPGA 之 JTAG 接口

iCore3L 工控板的 JTAG 接口与 FPGA 相连，即可用于芯片内部测试，还可对芯片进行在线编程。其电路连接图如图 20 所示，JTAG 接口通过防静电芯片 SRV05-4 与 FPGA 相连，其中芯片 SRV05-4 是低电容、低漏电流的瞬态抑制二极管（TVS）阵列，SOT-26 封装，5V 的工作电压，可以保护 JTAG 接口与 FPGA 相连的四根高速数据线，这四根线分别为：

TCK——测试时钟输入；

TDI——测试数据输入，数据通过 TDI 输入 JTAG 口；

TDO——测试数据输出，数据通过 TDO 从 JTAG 口输出；

TMS——测试模式选择，TMS 用来设置 JTAG 口处于某种特定的测试模式。

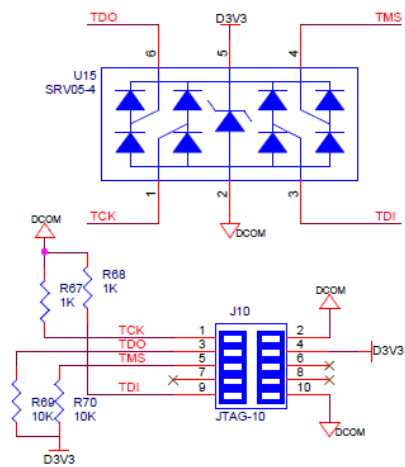


图 20 JTAG 电路连接图

ARM 之 RS485 接口

iCore3L 工控板的 RS485 接口与 ARM 相连，可用于工控板与外部串行通信。其电路连接图如图 21 所示，信号经过保护电路后与芯片 TP8485 相连接，然后芯片与 ARM 的 USART5 串口连接，且带一根硬件数据流控制线，可轻松实现 ARM 与外部的串行通信。

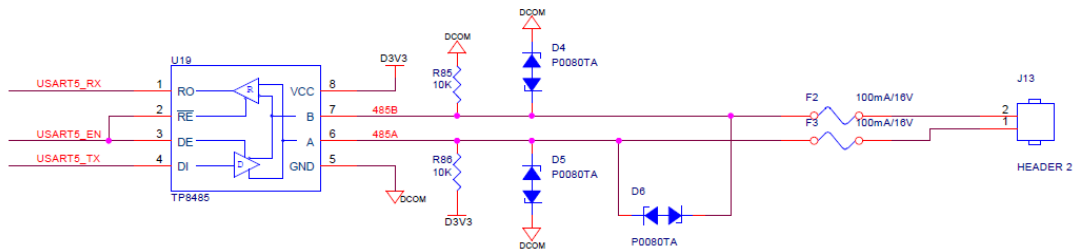


图 21 RS485 电路连接图

22

ARM 之 CAN 接口

iCore3L 工控板的 CAN 接口与 ARM 相连，ARM 通过接收和发送两根数据线与 CAN 控制器芯片 XL1050 芯片实现连接。CAN 控制器通过两根 CAN 总线与接口连接，CAN 控制器根据两根线上的电位差来判断总线电平，其电路连接图如图 22 所示。

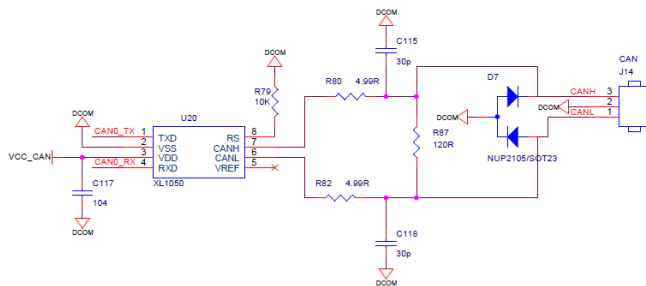


图 22 CAN 电路连接图